

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 許出願公開番号

特開平10-27854

(43) 公開日 平成10年(1998) 1月27日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/8238		H 0 1 L 27/08	3 2 1 D
	27/092		29/78	3 0 1 G
	29/78			3 0 1 P
	21/336			

審査請求 未請求 請求項の数 6 O L (全 6 頁)

(21) 出願番号 特願平8-180919

(22) 出願日 平成 8 年(1996) 7 月10日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番35号

(72) 発明者 長島 直樹

東京都品川区北品川 6 丁目 7 番35号 ソニ
ー株式会社内

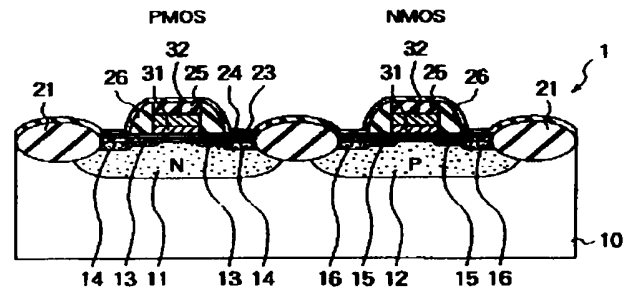
(74) 代理人 弁理士 佐藤 隆久

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】単一極性のゲート電極で表面チャネル型のNMOSとPMOSとを構成することができる半導体装置及びその製造方法を提供する。

【解決手段】ゲート絶縁膜23に接するゲート電極として、ゲルマニウムを含有するゲルマニウム電極31を用いる。



【特許請求の範囲】

【請求項1】半導体基板と、該半導体基板表面に形成されたゲート絶縁膜と、該ゲート絶縁膜上に形成されたゲルマニウムを含有するゲルマニウム電極層とを有するトランジスタを有することを特徴とする半導体装置。

【請求項2】相補型電界効果型トランジスタのゲート電極が、ゲルマニウムを含有するゲルマニウム電極層で構成されている請求項1記載の半導体装置。

【請求項3】ゲルマニウムを含有するゲルマニウム電極層が、P型不純物を含有するものである請求項1記載の半導体装置。

【請求項4】ゲート電極が、ゲート絶縁膜上に積層されたゲルマニウムを含有するゲルマニウム電極層と、ゲルマニウム電極層上に積層された多結晶シリコン層又は高融点金属とシリコンとの化合物合金層とで構成される請求項1記載の半導体装置。

【請求項5】半導体基板上にゲート絶縁膜を形成する工程と、

該ゲート絶縁膜上にゲルマニウムを含有するゲルマニウム電極層を形成する工程と、

該ゲルマニウム電極層の上に多結晶シリコン層又は高融点金属とシリコンとの化合物合金層で構成される上部電極層を形成する工程と、

該ゲルマニウム電極層に不純物を導入する工程と、

上部電極層の上にオフセット絶縁層を形成する工程と、

該オフセット絶縁層、上部電極層、ゲルマニウム電極層とをパターンニングしてゲート電極を形成する工程と、半導体基板に不純物を導入してソース・ドレインを形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項6】ゲート絶縁膜の上にゲルマニウム電極層を形成する前に、ゲート絶縁膜の表面を窒化する工程を有する請求項5記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、特に単一極性のゲート電極で表面チャネル型のN型電界効果型トランジスタ(NMOS)とP型電界効果型トランジスタ(PMOS)を構成できる半導体装置及びその製造方法に関する。

【0002】

【従来の技術】MOS型半導体による集積回路は、現在、NMOSとPMOSとを相補的に使用するCMOS型が主流となっている。CMOSのゲート材料としては、NMOS、PMOS共にN型の不純物を導入したポリシリコンを用いている。

【0003】ところが、この場合、NMOSでは、表面チャネル型になるが、PMOSでは、PMOSのしきい値は表面チャネル型の場合、 -1V 以上となってしまうため、埋込チャネル型のPMOS構造が採用されてい

る。

【0004】

【発明が解決しようとする課題】しかしながら、LSIの微細化が進むにつれて、MOSトランジスタのゲート長の縮小に伴って短チャネル効果の影響が顕著になり、短チャネル効果が生じやすい埋込チャネル型より、短チャネル効果を抑制しやすい表面チャネル型のPMOSが注目されている。

【0005】しかし、表面チャネル型のPMOSは、N型の不純物を導入したポリシリコンをゲート材料として使用した場合、しきい値電圧が -1V 以上となるため、ゲート電極にP型の不純物を導入する必要がある。このとき、NMOSにはN型の不純物を、PMOSにはP型の不純物をそれぞれゲート電極を構成するポリシリコンに導入する。そのため、ゲート電極形成時のこれらのイオン注入の打ち分けなどの工程数増加によるチップコストや製造時間の増加、更にゲート電極のこれらの不純物の相互拡散によるしきい値変動等が問題になっている。

【0006】本発明は、上記事情に鑑みなされたもので、単一極性のゲート電極で表面チャネル型のNMOSとPMOSとを構成することができる半導体装置及びその製造方法を提供することを目的とする。

【0007】

【課題を解決するための手段】本発明は、上記目的を達成するため、半導体基板と、該半導体基板表面に形成されたゲート絶縁膜と、該ゲート絶縁膜上に形成されたゲルマニウムを含有するゲルマニウム電極層とを有するトランジスタを有することを特徴とする半導体装置を提供する。

【0008】また、本発明は、上記目的を達成するため、半導体基板上にゲート絶縁膜を形成する工程と、該ゲート絶縁膜上にゲルマニウムを含有するゲルマニウム電極層を形成する工程と、該ゲルマニウム電極層の上に多結晶シリコン層又は高融点金属とシリコンとの化合物合金層で構成される上部電極層を形成する工程と、該ゲルマニウム電極層に不純物を導入する工程と、上部電極層の上にオフセット絶縁層を形成する工程と、該オフセット絶縁層、上部電極層、ゲルマニウム電極層とをパターンニングしてゲート電極を形成する工程と、半導体基板に不純物を導入してソース・ドレインを形成する工程とを有することを特徴とする半導体装置の製造方法を提供する。

【0009】本発明の半導体装置は、ゲート絶縁膜に接するゲート電極として、ゲルマニウムを含有する材料を用いている点に特徴がある。本発明者は、P型不純物を導入したゲルマニウムは、その仕事関数がN型シリコンの仕事関数とP型シリコンの仕事関数とのほぼ中間であることを見出した。そのため、P型不純物を導入したゲルマニウムをゲート電極材料として用いることにより、NMOS、PMOSのいずれに対してもしきい値電

圧を下げることになり、基板と逆の導電型の不純物をイオン打ち込みをして埋込チャネル型とすることがなく、NMOS、PMOSのいずれもしきい値が低下した表面チャネル型とすることができる。したがって、単一極性のゲート電極で表面チャネル型のCMOSを実現でき、埋込チャネルの短チャネル化効果を抑制することができる。

【0010】かかる半導体装置を製造する工程は、ゲート絶縁膜上に直接ゲルマニウムを含有するゲルマニウム電極を形成する工程を除くと、通常のMOSトランジスタ製造工程と同様の工程であるので、ゲート電極の不純物を打ち分ける工程が省略でき、プロセスコストを低減することができる。

【0011】

【発明の実施の形態】以下、本発明の実施の形態について説明するが、本発明は、下記の実施の形態に限定されるものではない。本発明の半導体装置は、ゲート絶縁膜と接するゲート電極として、ゲルマニウム電極を用いていることに特徴がある。図1に、本発明をCMOSに適用した例を示す。

【0012】このCMOSは、例えばシリコン基板10内に素子分離絶縁膜21で分離された領域にNウェル11とPウェル12が形成されており、NウェルにはPMOSトランジスタが、PウェルにはNMOSトランジスタがそれぞれ形成されている。ゲート絶縁膜は、基板10表面の酸化シリコン膜23とその酸化シリコン膜23表面を窒化した窒化膜24とで構成され、この窒化膜24上に、NMOSとPMOS両トランジスタに共通の構造として、P型不純物が導入されたゲルマニウムで構成されるゲルマニウム電極31、上部電極としての多結晶シリコン層32、酸化シリコンで構成されるオフセット絶縁膜25が、順次積層され、これらの側壁には酸化シリコンで絶縁性サイドウォール26が形成されている。また、ゲート電極31の両側の基板内にLDD13、15とソースドレイン14、16がそれぞれのトランジスタに設けられている。なお、ゲルマニウム電極31としては、ゲルマニウムの代わりにゲルマニウムとシリコンの混晶でも良く、上部電極としては、多結晶シリコンの代わりに、例えばタングステンシリサイドのような高融点金属とシリコンの合金であるシリサイドでも良い。

【0013】次に、P型のゲルマニウムをゲート電極とすることの効果について説明する。ゲルマニウムとシリコンの仕事関数を図2のエネルギー帯図で示す。この図において、 E_c は伝導帯の端のエネルギー、 E_v は価電子帯の端のエネルギー、 E_c の下破線はドナー順位、 E_v の上破線はアクセプタ順位である。仕事関数は、フェルミレベルから真空中へ電子を取り出すために必要なエネルギーであるが、ここでは、 E_c がN型不純物を導入したフェルミレベル、 E_v がP型不純物を導入したもののフェルミレベルである。図2に示すように、N型

不純物が縮退した状態ではシリコンとゲルマニウムの仕事関数はほぼ同等であり、P型不純物が縮退した状態では、ゲルマニウムの方が約0.5V程度小さい。P型ゲルマニウムのフェルミレベルは、N型シリコンとP型シリコンとの中間に存する。

【0014】従って、図3に示すように、P型のゲルマニウムをゲート材料に使用した場合、N型の多結晶シリコンをゲートに使用した場合に比べてNMOSのしきい値で約0.6Vの上昇、PMOSのしきい値で約0.6Vの低下となる。また、P型の多結晶シリコンをゲートに使用した場合に比べ、NMOSのしきい値で約0.5Vの低下、PMOSのしきい値で約0.5Vの上昇となる。そのため、NMOSとPMOSのしきい値の絶対値が近似するので、しきい値の絶対値を合わせるために、チャネル領域に基板と逆の導電型の不純物をイオン注入してP-N接合を形成する必要がなく、その結果埋込チャネル構造となることがない。

【0015】このように、P型不純物を導入したゲルマニウムをゲート電極とした単一極性のゲート構造のCMOSは、PMOSトランジスタとNMOSトランジスタの両者が表面チャネル型となっており、短チャネル効果が抑制できる構造となっている。単一極性のゲート電極であるので、極性の異なる不純物を導入しているゲート電極と異なり、ゲート不純物の相互拡散によるしきい値変動は問題とならない。また、NMOS、PMOS共に、表面チャネル型で埋込チャネル型ではないので、トランジスタの微細化に有利である。

【0016】また、P型の多結晶シリコンをゲートに使用した表面チャネル型のNMOSの場合、基板不純物濃度を低下させてもしきい値を0.8Vより低下させることは難しかったが、P型のゲルマニウムをゲート材料として使用することにより、0.3V程度のしきい値を持つ表面チャネル型を実現することができる。NMOSに対しても同様に、0.3V付近のしきい値を持つ表面チャネル型を形成できる。更に、基板表面に極性の異なる不純物を打ち込むことにより、0.1V付近までのしきい値を実現することができる。

【0017】次に、上記CMOSの製造工程について説明する。まず、図4(a)に示すように、シリコン基板10の活性領域を窒化シリコン膜で覆い熱酸化する通常の方法で素子分離絶縁層21を形成する。次いで、イオン注入の際の金属による汚染を防止するパッド層として熱酸化によりシリコン酸化膜22を形成する。熱酸化の条件は、例えば温度が850℃、時間が40分、酸素ガスをを用い、厚さ8nm程度に形成する。

【0018】その後、図4(b)に示すように、PMOSの領域のみレジストR1を開口し、イオンインプラネーションによりシリコン基板に例えばリンを注入してNウェル11を形成する。このときの注入条件は、例えばP、エネルギー300keV、ドーズ量は 3×10^{12}

5

cm^{-2} 程度である。更に、しきい値の調整と短チャネル効果抑制のため、イオンインプランテーションにより、シリコン基板にリンを注入する。このときの注入条件は、例えばP、エネルギー100keV、ドーズ量 $3 \times 10^{12} \text{cm}^{-2}$ とP、エネルギー30keV、ドーズ量 $1 \times 10^{12} \text{cm}^{-2}$ 程度である。

【0019】次に、レジストR1を除去した後、図4(c)に示すように、リソグラフィーにより、NMOSの領域のみレジストを開口し、イオンインプランテーションによりシリコン基板10に例えばホウ素を注入してPウェルを形成する。このときのイオン注入条件は、例えばB、エネルギー200keV、ドーズ量 $3 \times 10^{12} \text{cm}^{-2}$ 程度である。更に、しきい値の調整と短チャネル効果抑制のため、イオンインプランテーションによりシリコン基板にホウ素を注入する。このときの注入条件は、例えばB、50keV、 $3 \times 10^{12} \text{cm}^{-2}$ と、B、15keV、 $1 \times 10^{12} \text{cm}^{-2}$ 程度である。

【0020】次いで、レジストを除去した後、図5(d)に示すように、レジストを除去した後、希フッ酸溶液によりシリコン酸化膜22を除去し、続いて熱酸化によりゲート絶縁膜としてのシリコン酸化膜23を例えば5nm程度形成する。そして、次に形成するゲルマニウム層の酸化を防止するため、シリコン酸化膜23を窒化して窒化膜24を形成する。これらのシリコン酸化膜23と窒化膜24でゲート絶縁膜が構成されている。次に、CVD法によりゲルマニウム層31を例えば50nm程度堆積し、更に多結晶シリコン層32を例えば150nm程度堆積する。この場合、ゲルマニウムの代わりにゲルマニウムとシリコンの混晶を形成しても良く、多結晶シリコンの代わりに、例えばタングステンシリサイドのような高融点金属とシリコンの合金であるシリサイドを形成しても良い。

【0021】そして、ここでゲルマニウム層31にイオン注入を行い、ゲルマニウム層31にP型不純物を導入する。このときの注入条件は、例えば BF_2 、エネルギー20keV、ドーズ量 $3 \times 10^{15} \text{cm}^{-2}$ 程度である。更に、図5(e)に示すように、オフセット絶縁膜としてシリコン酸化膜25をCVDにより例えば150nm程度堆積する。

【0022】次に、図5(f)に示すように、リソグラフィーによりレジストを形成し、異方性エッチングにより、オフセット絶縁膜25、多結晶シリコン層32、ゲルマニウム層31の順にエッチングしてゲートパターンを形成する。そして、リソグラフィーによりPMOS領域のみレジストを開口し、LDD形成のため、イオンインプランテーションによりシリコン基板に BF_2 を注入する。このときの注入条件は、例えば BF_2 、10keV、 $5 \times 10^{13} \text{cm}^{-2}$ 程度である。更に、リソグラフィーによりNMOS領域のみレジストを開口し、LDD形成のためイオンインプランテーションによりシリコン基

6

板に砒素を注入する。このときの注入条件は、例えばAs、15keV、 $3 \times 10^{13} \text{cm}^{-2}$ 程度である。これにより、図5(f)に示すようなLDDが形成された構造となる。

【0023】次に、レジストを除去した後、従来法でのCVD法によりシリコン酸化膜を例えば150nm程度堆積した後、異方性エッチングによりシリコン酸化膜をエッチバックして、図6(g)に示すようにシリコン酸化膜のサイドウォール26を形成する。

10 【0024】そして、図6(h)に示すように、低圧TEOS CVD法によりシリコン酸化膜27を例えば10nm程度堆積する。次にリソグラフィーによりPMOS領域のみレジストR3を開口し、イオンインプランテーションにより多結晶シリコン層32及びシリコン基板10に BF_2 を注入してソース・ドレイン14を形成する。このときの注入条件は、例えば BF_2 、10keV、 $3 \times 10^{15} \text{cm}^{-2}$ 程度である。このとき、ゲルマニウム電極31には、オフセット絶縁膜25によりホウ素は注入されない。

20 【0025】次に、図6(i)に示すように、リソグラフィーによりNMOSの領域のみレジストR4を開口し、イオンインプランテーションにより、多結晶シリコン層32及びシリコン基板10に砒素を注入してソース・ドレイン16を形成する。このときの注入条件は、例えばAs、エネルギー20keV、ドーズ量 $3 \times 10^{15} \text{cm}^{-2}$ 程度である。このとき、ゲルマニウム電極31には、オフセット絶縁膜25により砒素は注入されない。

【0026】以上の工程により、図1に示したCMOSを得ることができる。その後、窒素雰囲気下でランプアニールにより950℃、10秒の熱処理を行う。以下、従来法によりシリサイド及びコンタクト、配線を形成する。以上の工程により、単一極性のゲート電極で表面チャネル型のNMOSとPMOSで構成されるCMOSを作製できる。ゲート電極に対して不純物を打ち分けしていないので、工程数が減少し、コスト的に有利である。

30 【0027】以上の説明では、CMOSに本発明を適用した例を説明しているが、本発明はCMOSに限定されるものではなく、その他のMOS構造のトランジスタに適用でき、その他本発明の要旨を逸脱しない範囲で種々変更が可能である。

【0028】

【発明の効果】本発明の半導体装置は、単一極性のゲート電極で表面チャネル型のNMOSとPMOSの作製が可能とするものである。また、本発明の半導体装置の製造方法は、かかる半導体装置を確実に製造することができる。

【図面の簡単な説明】

【図1】本発明にかかるCMOSを示す断面図である。

【図2】シリコンとゲルマニウムのエネルギー帯図である。

50

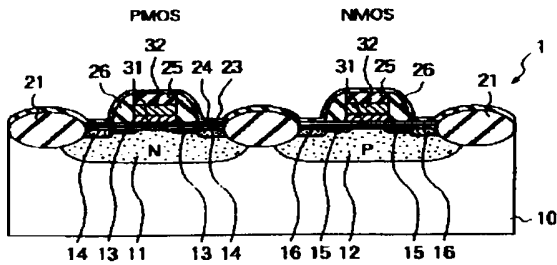
【図3】ゲート電極の極性とNMOSとPMOSのしきい値電圧との関係を示す模式図である。

【図4】(a)～(c)は、図1のCMOSを製造する工程を示すそれぞれ断面図である。

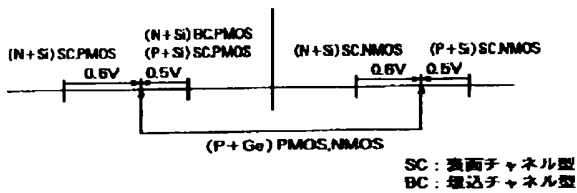
【図5】(d)～(f)は、図4の続きの工程を示すそれぞれ断面図である。

【図6】(g)～(i)は、図5の続きの工程を示す

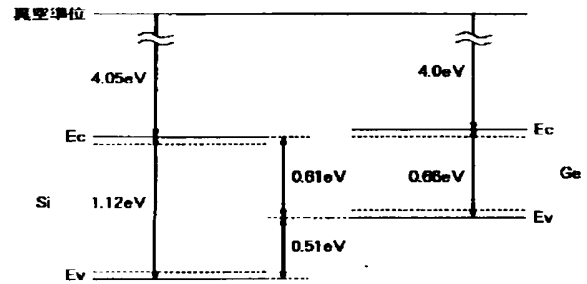
【図1】



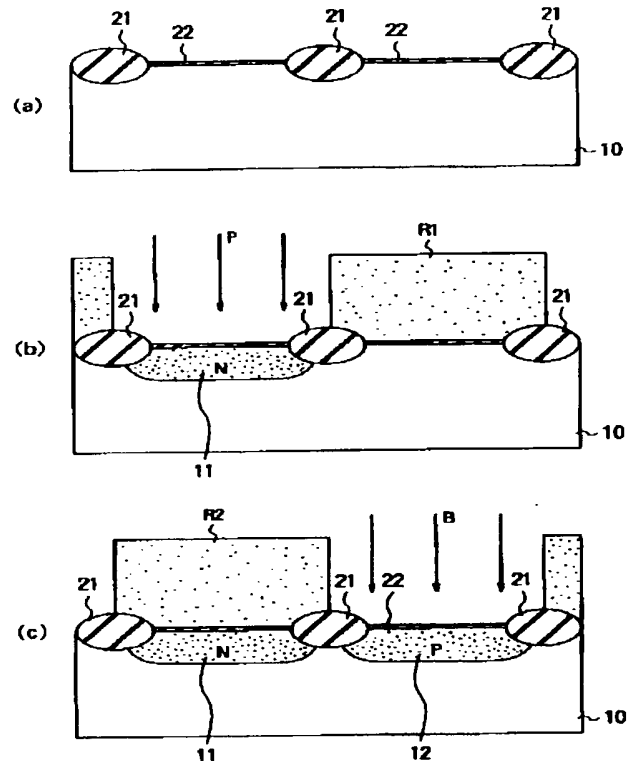
【図3】



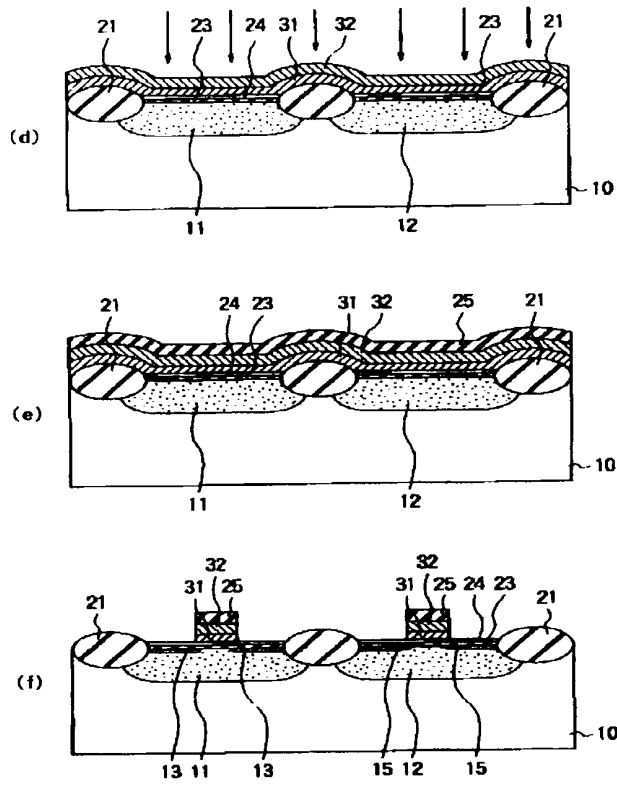
【図2】



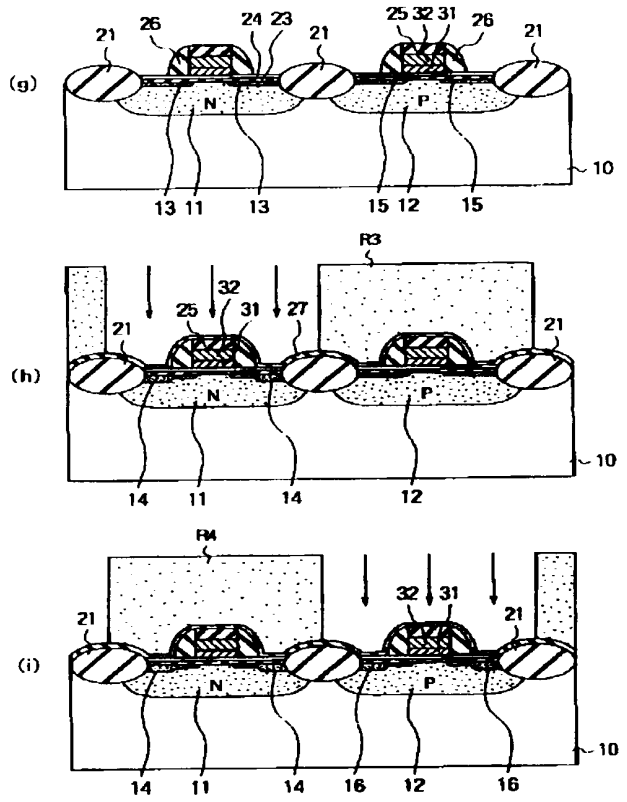
【図4】



【図5】



【図6】



* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to the semiconductor device which can constitute a surface channel type N type electric field effect type transistor (NMOS) and a P type electric field effect type transistor (PMOS) from a single polar gate electrode especially, and its manufacture method.

[0002]

[Description of the Prior Art] The integrated circuit with an MOS type semiconductor has the CMOS type in use which uses NMOS and PMOS complementary now. As a gate material of CMOS, contest polysilicon with which NMOS and PMOS introduced the impurity of N type is used.

[0003] However, by PMOS, although it becomes a surface channel type by NMOS in this case, since the threshold of PMOS becomes more than -1V in a surface channel type case, buried-channel type PMOS structure is adopted.

[0004]

[Problem(s) to be Solved by the Invention] However, the influence of a short channel effect becomes remarkable with reduction of the gate length of an MOS transistor, and surface channel type PMOS which is easy to suppress a short channel effect attracts attention from the buried-channel type which a short channel effect tends to produce as detailed-ization of LSI progresses.

[0005] However, since threshold voltage becomes more than -1V when contest polysilicon which introduced the impurity of N type is used as a gate material, surface channel type PMOS needs to introduce the impurity of P type into a gate electrode. It introduces into contest polysilicon which constitutes the impurity of P type for the impurity of N type in NMOS, and constitutes a gate electrode in PMOS, respectively at this time. therefore, these ion implantations at the time of gate electrode formation -- having good control of striking a ball in any direction -- etc. -- the increase in the chip cost by the increase in the number of processes or production time, a threshold change according to the counter diffusion of these impurities of a gate electrode further, etc. have been a problem

[0006] this invention was made in view of the above-mentioned situation, and aims at offering surface channel type the semiconductor device which can constitute NMOS and PMOS and its manufacture method by the single polar gate electrode.

[0007]

[Means for Solving the Problem] this invention offers the semiconductor device characterized by having the transistor which has a semiconductor substrate, the gate insulator layer formed in this semiconductor substrate front face, and a germanium electrode layer containing the germanium formed on this gate insulator layer in order to attain the above-mentioned purpose.

[0008] Moreover, the process which forms a gate insulator layer on a semiconductor substrate in order that this invention may attain the above-mentioned purpose, The process which forms the germanium electrode layer containing germanium on this gate insulator layer, The process which forms the up electrode layer which consists of a polycrystal silicon layer or a compound alloy layer of a refractory

metal and silicon on this germanium electrode layer, The process which introduces an impurity into this germanium electrode layer, and the process which forms an offset insulating layer on an up electrode layer, The manufacture method of the semiconductor device characterized by having the process which carries out patterning of this offset insulating layer, an up electrode layer, and the germanium electrode layer, and forms a gate electrode, and the process which introduces an impurity into a semiconductor substrate and forms a source drain is offered.

[0009] The semiconductor device of this invention has the feature in the point of using the material containing germanium as a gate electrode which touches a gate insulator layer. As for the germanium with which this invention person introduced the P type impurity, the work function found out that it was [of the work function of N type silicon, and the work function of P type silicon] middle mostly.

Therefore, by using the germanium which introduced the P type impurity as a gate electrode material, threshold voltage will be lowered also to any of NMOS and PMOS, and ion implantation can be carried out, and the impurity of a conductivity type contrary to a substrate cannot be used as a buried-channel type, and let both NMOS and PMOS be the surface channel types with which the threshold fell.

Therefore, surface channel type CMOS can be realized by the single polar gate electrode, and the short channelization effect of a buried channel can be suppressed.

[0010] Since the processes which manufacture this semiconductor device are the usual MOS transistor manufacturing process and same process when the process which forms the germanium electrode containing direct germanium on a gate insulator layer is removed, they can skip the process which has good control of striking the impurity of a gate electrode in any direction, and can reduce process cost.

[0011]

[Embodiments of the Invention] Hereafter, although the gestalt of operation of this invention is explained, this invention is not limited to the gestalt of the following operation. The semiconductor device of this invention has the feature in using the germanium electrode as a gate electrode which touches a gate insulator layer. The example which applied this invention to CMOS at drawing 1 is shown.

[0012] the field to which this CMOS was separated by the isolation insulator layer 21 for example, in the silicon substrate 10 -- N -- a well 11 and P -- a well 12 forms -- having -- **** -- N -- a well -- a PMOS transistor -- P -- the NMOS transistor is formed in the well, respectively A gate insulator layer consists of a silicon-oxide film 23 of substrate 10 front face, and a nitride 24 which nitrided the silicon-oxide film 23 front face. as structure common to NMOS and PMOS both transistors on this nitride 24 The laminating of the polycrystal silicon layer 32 as the germanium electrode 31 which consists of germanium in which the P type impurity was introduced, and an up electrode, and the offset insulator layer 25 which consists of silicon oxides is carried out one by one, and the insulating sidewall 26 is formed in these side attachment walls by the silicon oxide. Moreover, LDD 13 and 15 and the source drains 14 and 16 are formed in the substrate of the both sides of the gate electrode 31 at each transistor. In addition, as a germanium electrode 31, the mixed crystal of germanium and silicon is sufficient instead of germanium, and the silicide which is the alloy of a refractory metal like for example, tungsten silicide and silicon is sufficient instead of polycrystal silicon as an up electrode.

[0013] Next, the effect of using the germanium of P type as a gate electrode is explained. The energy-band view of drawing 2 shows the work function of germanium and silicon. For E_c , in this drawing, the energy of the edge of a conduction band and E_v are [donor ranking and the dashed line on E_v of the energy of the edge of a valence band and the dashed line under E_c] acceptor ranking. Although a work function is energy required in order to take out an electron from a Fermi level into a vacuum, and the Fermi level into which E_c introduced the N type impurity, and E_v introduced the P type impurity here, it is a Fermi level. As shown in drawing 2, after the N type impurity had degenerated, the work function of silicon and germanium is almost equivalent and the P type impurity has degenerated, germanium is smaller about about 0.5v. The Fermi level of P type germanium consists in the middle of N type silicon and P type silicon.

[0014] Therefore, as shown in drawing 3, when the germanium of P type is used for gate material, compared with the case where the polycrystal silicon of N type is used for the gate, it becomes the fall of

about 0.6 V with elevation of about 0.6 V, and the threshold of PMOS with the threshold of NMOS. Moreover, compared with the case where the polycrystal silicon of P type is used for the gate, it becomes elevation of about 0.5 V with the fall of about 0.5 V, and the threshold of PMOS with the threshold of NMOS. Therefore, since the absolute value of the threshold of NMOS and PMOS approximates, in order to double the absolute value of a threshold, it is not necessary to carry out the ion implantation of the impurity of a conductivity type contrary to a substrate to a channel field, and to form PN junction in it, and, as a result, buried-channel structure and a bird clapper are not.

[0015] Thus, both PMOS transistor and NMOS transistor serve as a surface channel type, and CMOS of the single polar gate structure which used as the gate electrode the germanium which introduced the P type impurity has structure which can suppress a short channel effect. Since it is a single polar gate electrode, unlike the gate electrode which has introduced the impurity with which polarity differs, the threshold change by the counter diffusion of a gate impurity does not pose a problem. Moreover, since NMOS and PMOS are not buried-channel types in a surface channel type, they are advantageous to detailed-izing of a transistor.

[0016] Moreover, although in the case of surface channel type NMOS which used the polycrystal silicon of P type for the gate it was difficult to reduce a threshold from 0.8V even if it reduced substrate high impurity concentration, a surface channel type with an about [0.3V] threshold is realizable by using the germanium of P type as a gate material. A surface channel type with the threshold of the 0.3V neighborhood can be similarly formed to NMOS. Furthermore, the threshold to the 0.1V neighborhood is realizable by driving into a substrate front face the impurity with which polarity differs.

[0017] Next, the manufacturing process of Above CMOS is explained. First, as shown in drawing 4 (a), the isolation insulating layer 21 is formed by the usual method of covering and oxidizing thermally the active region of a silicon substrate 10 by the silicon nitride film. Subsequently, a silicon oxide 22 is formed by thermal oxidation as a pad layer which prevents contamination by the metal in the case of an ion implantation. Temperature uses 850 degrees C, time uses oxygen gas for 40 minutes, and the conditions of thermal oxidation form it in about 8nm in thickness.

[0018] then, it is shown in drawing 4 (b) -- as -- the field of PMOS -- a resist R1 -- opening -- carrying out -- ion implantation -- a silicon substrate -- for example, Lynn -- pouring in -- N -- a well 11 is formed The pouring conditions at this time are P and energy 300keV, and a dose is about [$3 \times 10^{12} \text{cm}^{-2}$] two. Furthermore, Lynn is poured into a silicon substrate by ion implantation for adjustment of a threshold, and short-channel-effect suppression. At this time, pouring conditions are about [P, energy 100keV, and $3 \times 10^{12} \text{cm}^{-2}$ / of doses / - 2, P, energy 30keV, and $1 \times 10^{12} \text{cm}^{-2}$ of doses to / 2].

[0019] Next, after removing a resist R1, as shown in drawing 4 (c), with lithography, only the field of NMOS carries out opening of the resist, pours boron into a silicon substrate 10 by ion implantation, and forms P wells. The ion-implantation conditions at this time are about [B, energy 200keV, and $3 \times 10^{12} \text{cm}^{-2}$ of doses to / 2]. Furthermore, boron is poured into a silicon substrate by ion implantation for adjustment of a threshold, and short-channel-effect suppression. The pouring conditions at this time are B, 50keV, $3 \times 10^{12} \text{cm}^{-2}$, B and 15keV, and about [$1 \times 10^{12} \text{cm}^{-2}$ -] 2.

[0020] Subsequently, after removing a resist, as it is shown in drawing 5 (d), after removing a resist, a rare fluoric acid solution removes a silicon oxide 22, and about 5nm of silicon oxides 23 as a gate insulator layer is continuously formed by thermal oxidation, for example. And in order to prevent oxidization of the germanium layer formed in a degree, a silicon oxide 23 is nitrated and a nitride 24 is formed. The gate insulator layer consists of these silicon oxides 23 and nitrides 24. Next, about 50nm of germanium layers 31 is deposited by CVD, for example, and about 150nm of polycrystal silicon layers 32 is deposited further, for example. In this case, the mixed crystal of germanium and silicon may be formed instead of germanium, and the silicide which is the alloy of a refractory metal like for example, tungsten silicide and silicon may be formed instead of polycrystal silicon.

[0021] And an ion implantation is performed in the germanium layer 31 here, and a P type impurity is introduced into the germanium layer 31. The pouring conditions at this time are about [BF₂, energy 20keV, and $3 \times 10^{15} \text{cm}^{-2}$ of doses to / 2]. Furthermore, as shown in drawing 5 (e), about 150nm of silicon oxides 25 is deposited by CVD as an offset insulator layer, for example.

[0022] Next, as shown in drawing 5 (f), a resist is formed with lithography, by anisotropic etching, it *****s in order of the offset insulator layer 25, the polycrystal silicon layer 32, and the germanium layer 31, and a gate pattern is formed. And only a PMOS field carries out opening of the resist with lithography, and it is BF₂ to a silicon substrate by ion implantation because of LDD formation. It pours in. The pouring conditions at this time are BF₂, 10keV, and about $[5 \times 10^{13} \text{cm}^{-2}]$. Furthermore, only an NMOS field carries out opening of the resist with lithography, and arsenic is poured into a silicon substrate by ion implantation for LDD formation. The pouring conditions at this time are As, 15keV, and about $[3 \times 10^{13} \text{cm}^{-2}]$. It becomes the structure where LDD as shown in drawing 5 (f) was formed by this.

[0023] Next, after removing a resist and depositing about 150nm of silicon oxides by the CVD in a conventional method, for example, etchback of the silicon oxide is carried out by anisotropic etching, and as shown in drawing 6 (g), the sidewall 26 of a silicon oxide is formed.

[0024] And as shown in drawing 6 (h), about 10nm of silicon oxides 27 is deposited by the low voltage TEOS-CVD method, for example. Next, only a PMOS field carries out opening of the resist R3 with lithography, and it is BF₂ to the polycrystal silicon layer 32 and a silicon substrate 10 by ion implantation. It pours in and the source drain 14 is formed. The pouring conditions at this time are BF₂, 10keV, and about $[3 \times 10^{15} \text{cm}^{-2}]$. Boron is not injected into the germanium electrode 31 by the offset insulator layer 25 at this time.

[0025] Next, as shown in drawing 6 (i), only the field of NMOS carries out opening of the resist R4 with lithography, by ion implantation, arsenic is poured into the polycrystal silicon layer 32 and a silicon substrate 10, and the source drain 16 is formed. The pouring conditions at this time are about $[As, \text{energy } 20\text{keV}, \text{ and } 3 \times 10^{15} \text{cm}^{-2} \text{ of doses to } / 2]$. Arsenic is not injected into the germanium electrode 31 by the offset insulator layer 25 at this time.

[0026] CMOS shown in drawing 1 can be obtained according to the above process. Then, lamp annealing performs 950 degrees C and heat treatment for 10 seconds under nitrogen-gas-atmosphere. Hereafter, silicide and contact, and wiring are formed by the conventional method. CMOS which consists of single polar gate electrodes by surface channel type NMOS and PMOS is producible with the above process. Since have good control of striking the impurity in any direction and it has not been carried out to the gate electrode, the number of processes decreases and it is advantageous in cost.

[0027] Although the above explanation explains the example which applied this invention to CMOS, this invention can be variously changed in the range which is not limited to CMOS, and can apply to the transistor of other MOS structures, in addition does not deviate from the summary of this invention.

[0028]

[Effect of the Invention] The semiconductor device of this invention enables production of surface channel type NMOS and PMOS by the single polar gate electrode. Moreover, the manufacture method of the semiconductor device of this invention can manufacture this semiconductor device certainly.

[Translation done.]